

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.

PAT-NO: JP406131265A
DOCUMENT-IDENTIFIER: JP 06131265 A
TITLE: COMPLETE ASSOCIATIVE CACHE MEMORY AND CACHE MEMORY DEVICE
PUBN-DATE: May 13, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
STANSFIELD, ANTHONY I	
BARNABY, CATHERINE L	
GAMMACK, RICHARD J	
SHEPHERD, ROGER M	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
INMOS LTD N/A	

APPL-NO: JP05080037
APPL-DATE: March 15, 1993

INT-CL (IPC): G06F012/10 , G11C015/04

ABSTRACT:

PURPOSE: To perform virtual addressing without being accompanied by delay by address conversion before retrieval for corresponding input.

CONSTITUTION: This complete associative cache memory for virtual addressing is provided with a data RAM 50, a first CAM cell array 51 for holding virtual page addresses requiring the address conversion for identifying physical pages inside a main memory respectively, a second CAM cell array 52 for holding line in page addresses or word in page addresses same for virtual and physical addresses and a physical address memory 53 for holding physical page addresses for the main memory corresponding to the virtual page addresses inside the first array 51. The first array 51 is connected to the physical address memory 52 so as to access the physical address memory corresponding to hit output from the first CAM cell array and to a control circuit 57 connected between the first and second arrays 51 and 52 and the data RAM 50 so as to access the data RAM 50 corresponding to the hit output from the first and second CAM cell arrays 51 and 52.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-131265

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/10	G	7608-5B		
G 1 1 C 15/04	B	6741-5L		

審査請求 未請求 請求項の数18(全 17 頁)

(21)出願番号 特願平5-80037

(22)出願日 平成5年(1993)3月15日

(31)優先権主張番号 9 2 0 5 5 1, 6

(32)優先日 1992年3月13日

(33)優先権主張国 イギリス (GB)

(71)出願人 591044599

インモス、リミテッド

INMOS, LIMITED

イギリス国ブリストル、アーマーズベリ
ー、アズテック、ウェスト、1000

(72)発明者 アントニー、イアン、スタンスフィールド
イギリス国ブリストル、ホットウェルズ、
マーチャンツ、ロード、クリスチナ、テラ
ス、1、フラット、2

(72)発明者 キャサリン、ルイズ、バーナビー
イギリス国ブリストル、コールビット、ヒ
ース、ラウンドウェイズ、183

(74)代理人 弁理士 佐藤 一雄 (外3名)

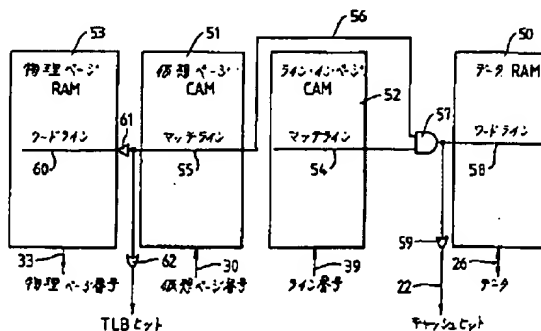
最終頁に続く

(54)【発明の名称】 完全連想キャッシュメモリおよびキャッシュメモリ装置

(57)【要約】

【目的】 対応入力についての検索の前のアドレス変換による遅延を伴わずに仮想アドレッシングを可能にする。

【構成】 仮想アドレッシング用の完全連想キャッシュメモリはデータRAM (50)、夫々主メモリ内の物理ページを識別するためのアドレス変換を必要とする仮想ページアドレスを保持するための第1CAMセルアレイ (51)、仮想および物理アドレスについて同一であるライン・イン・ページアドレスまたはワード・イン・ページアドレスを保持する第2CAMセルアレイ (52)、上記第1アレイ (51) 内の仮想ページアドレスに対応する主メモリについての物理ページアドレスを保持する物理アドレスメモリ (53)、を含み、上記第1アレイ (51) は第1CAMセルアレイからのヒット出力に応じて物理アドレスメモリをアクセスするために物理アドレスメモリ (52) にそして第1および第2CAMセルアレイ (51, 52) からのヒット出力に応じてデータRAM (50) にアクセスするために第1および第2アレイ (51, 52) とデータRAM (50) の間に接続する制御回路 (57) に接続する。



【特許請求の範囲】

【請求項1】データRAMと、夫々が主メモリ内の物理ページを識別するためにアドレス変換を必要とする仮想ページアドレスを保持するための第1CAMセルアレイと、仮想および物理アドレスについて同じままであるラインまたはワード・イン・アドレスを保持するための第2CAMセルアレイと、前記第1アレイ内の仮想ページアドレスに対応する前記主メモリ用の物理ページアドレスを保持するための物理アドレスメモリと、を含み、前記第1アレイは前記第1CAMセルアレイからのヒット出力に応じて前記物理アドレスメモリをアクセスするために前記物理アドレスメモリに接続すると共に前記第1および第2CAMセルアレイからのヒット出力に応じて前記データRAMをアクセスするために前記第1および第2アレイ間に接続した制御回路に接続することを特徴とする仮想アドレス用の完全連想キャッシュメモリ。

【請求項2】前記物理アドレスメモリは前記キャッシュの物理的アドレスづけ並びに前記キャッシュの仮想アドレスづけを可能にするために前記制御回路に接続したCAMセルアレイを含むことを特徴とする請求項1記載の完全連想キャッシュメモリ。

【請求項3】主メモリ内の選ばれたロケーションに対応するデータを保持するためのデータRAMと、前記データRAM内にデータが保持された前記選ばれたロケーションに対応する仮想アドレスの最上位ビットと最下位ビットを夫々保持するための第1および第2連想メモリ（CAM）セルアレイと、各キャッシュアクセス動作において前記第1および第2アレイの夫々に一つの仮想アドレスのビットを第1および第2入力として入力するための入力回路と、前記第1および第2アレイの夫々が前記第1および第2入力のビットに夫々対応するアドレスのビットを保持するときにキャッシュヒットを示すために前記第1および第2アレイから第1および第2出力を与える出力回路と、前記第1および第2出力を相互に接続すると共に、前記データRAMに接続されて前記第1および第2出力がキャッシュヒットを示すときに前記データRAMの選ばれたロケーションをアクセスする第1制御回路と、前記第1アレイ内の仮想アドレスに対応する前記主メモリ内のロケーションの複数の物理アドレスを保持する物理アドレスメモリとを含み、前記物理アドレスメモリは第2制御回路により前記第1アレイの第1出力に接続して、前記第1アレイが前記第1入力に対応するアドレスのビットを保持することを示すヒット信号を前記第1出力が含むとき、前記物理アドレスメモリの選ばれたロケーションをアクセスすることを特徴とする仮想アドレッシング用のキャッシュメモリ装置。

【請求項4】夫々の前記仮想アドレスはページアドレスとライン・イン・ページアドレスを含み、前記第1アレイが複数の仮想ページアドレスを保持し、前記第2アレイが複数のライン・イン・ページアドレスを保持するこ

とを特徴とする請求項3記載のキャッシュメモリ装置。

【請求項5】前記物理アドレスメモリは、夫々が書込まれあるいは読取られる複数のアドレス可能記憶ロケーションを含み、前記第2制御回路は前記第1アレイからのヒット信号を含む第1出力にตอบสนองし、その第1出力内の信号を発生した前記第1アレイ内の仮想アドレスに対応する前記物理アドレスメモリからの物理アドレスを読取るために前記物理アドレスメモリ内の選ばれた記憶ロケーションをアクセスするように構成されることを特徴とする請求項3または4のいずれかに記載のキャッシュメモリ装置。

【請求項6】前記第1制御回路は前記第1および第2出力が前記第1および第2入力に対応する第1および第2アドレスアレイ内のロケーションを示すヒット信号を含むときキャッシュヒットを示すためのゲート回路を含むことを特徴とする請求項1乃至5のいずれかに記載のキャッシュメモリ装置。

【請求項7】前記第2制御回路は前記第1出力が前記第1入力に対応する第1アドレスアレイ内のロケーションを示すヒット信号を含むときアドレス変換ヒットを示すためのゲート回路を含むことを特徴とする請求項1乃至6のいずれかに記載のキャッシュメモリ装置。

【請求項8】前記物理アドレスメモリは前記第1アレイによりアクセスされるときRAMとして動作可能であり、物理アドレス入力にตอบสนองしてCAMとして動作可能であるCAMを含むことを特徴とする請求項3乃至7のいずれかに記載のキャッシュメモリ装置。

【請求項9】前記物理アドレスメモリは物理アドレスを受けるための入力を有するCAMと前記第1制御回路に接続するCAM出力とを含み、前記データRAMが前記第1および第2アレイの仮想アドレッシングまたは前記物理アドレスメモリおよび前記第2アレイの物理アドレッシングによりアクセスしうようになったことを特徴とする請求項8記載のキャッシュメモリ装置。

【請求項10】前記第1および第2アレイの夫々、データRAMおよび物理アドレスメモリは行として配置される記憶ロケーションを含み、前記データRAM内の各行が前記第1および第2アレイおよび物理アドレスメモリの夫々内の対応する行と関連づけられることを特徴とする請求項3乃至9のいずれかに記載のキャッシュメモリ装置。

【請求項11】CAMセルアレイの一方における記憶ロケーションの各行は仮想アドレスのビット用の記憶ロケーションに加えて対応する主メモリロケーションの保護のために用いる状態ビット用の少くとも一つのロケーションを含むことを特徴とする請求項10記載のキャッシュメモリ装置。

【請求項12】前記第1および第2アレイの夫々の行はその行に保持される仮想アドレスにより示されるメモリアドレスへの書込みを防止するように動作可能な一つの

ビットロケーションを含むことを特徴とする請求項11記載のキャッシュメモリ装置。

【請求項13】前記第1および第2アレイの一方または両方は、ドントケア入力を有しそのドントケア入力に接続するCAMセルに、そのセルに記憶されるデータには無関係に第1または第2入力との一致を与えるように動作可能な回路を含むことを特徴とする請求項3乃至12のいずれかに記載のキャッシュメモリ装置。

【請求項14】夫々のCAMセルは、夫々のセル行についての一本のマッチラインと、夫々のマッチラインをブリチャージするための回路と、夫々のセル列についての制御回路とを有し、前記制御回路はその列内のセルについて連想動作を開始させるための制御入力を有し、夫々のセルは前記制御回路に接続して連想動作中にその列へのデータ入力に対応して記憶されたデータを有するその列内のセルにより前記マッチラインを放電させる放電回路を有することを特徴とする請求項13記載のキャッシュメモリ装置。

【請求項15】前記第1CAMセルアレイ内の各セル列は前記ドントケア入力を有する制御回路に接続されることを特徴とする請求項13または14記載のキャッシュメモリ装置。

【請求項16】前記第1および第2CAMアレイ内の夫々の記憶ロケーション行はその行に対応するキャッシュ入力の有効性を示すフラグを保持するためのビットロケーションを含むことを特徴とする請求項10乃至15のいずれかに記載のキャッシュメモリ装置。

【請求項17】データRAMと、仮想アドレスを保持するための第1CAMセルアレイと、物理アドレスを保持する第2CAMセルアレイと、前記第1および第2CAMセルアレイを前記データRAMと相互に接続して前記第1または第2CAMセルアレイに一致があるとき前記データRAM内のデータへのアクセスを可能とするための接続回路と、を含むことを特徴とする完全連想キャッシュメモリ。

【請求項18】物理アドレスと仮想アドレスは夫々ページアドレスおよび別のライン・イン・ページアドレスまたはワード・イン・ページアドレスにより与えられ、前記第1CAMアレイは複数の仮想ページアドレスを記憶し、前記第2CAMアレイは物理ページアドレスを記憶し、第3CAMアレイが前記第1および第2CAMアレイと相互接続して前記第1および第2CAMアレイ内の仮想および物理ページアドレスに共通のライン・イン・ページアドレスまたはワード・イン・ページアドレスを与えることを特徴とする請求項17記載の完全連想キャッシュメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はキャッシュメモリに関し、詳細には仮想メモリアドレッシングに用いるキャッシ

ュメモリに関する。

【0002】

【従来の技術】キャッシュメモリはプロセッサと主メモリの間の小型高速バッファメモリとして用いられる。それらは主メモリの、最も頻繁にプロセッサにより用いられる内容についてのアクセス時間を改善するためにその主メモリの最も活性の高い部分を保持するために使用出来る。

【0003】従来のキャッシュメモリは一般に三つのタイプの内の一に属する。それらは完全連想型 (fully associative) であるか、セット連想型 (set associative) であるか、直接マップ型 (direct mapped) である。完全連想キャッシュメモリは連想記憶装置 (content addressable memory (CAM)) とデータRAMから成る。連想記憶装置 (CAM) は読取および書込機能を与えるRAMセルと同様であるが連想を可能にするための付加的回路を有するメモリセルの行列からなる。CAMセルはメモリアドレスを保持するために用いられ、そして連想動作中、CAMへの入力はメモリアドレスを表わし、そしてCAMがその入力とCAM内のアドレスとを比較して一致 (match) が生じるかどうかを判定し、そして一致があれば読取または書込動作がそのキャッシュのデータRAM内の対応するロケーションで生じるようにデータRAM内の対応するそのロケーションに出力信号を与える。CAMのセルは夫々のセル行が一つのメモリアドレスを保持し、そしてその行がマッチライン (match line) によりデータRAMの対応するワードラインに接続されてそのマッチラインに一致が生じたときそのワードライン内のデータRAMのアクセスを可能にする。完全連想キャッシュでは夫々のCAM列が対応する主メモリロケーションの全アドレスを保持しそしてCAMへの入力が入力されるべき全アドレスを要求する。

【0004】直接マップ型キャッシュではそれに用いられる夫々の主メモリロケーションのアドレスが通常ページアドレス (the page address) と呼ばれる最上位ビットで表わされる第1部分と、通常ライン・イン・ページアドレス (the line in page address) と呼ばれる最下位ビットで表わされる第2部分に分けられる。RAM (タグ (Tag) RAM と呼ばれる) は主メモリ内のメモリロケーションの複数のページアドレスを保持するために用いられる。データはデータRAMに前述のように保持される。しかしながら、タグRAMとデータRAMへの入力はメモリアドレスのライン・イン・ページ部分のみを使用する。タグRAMはライン・イン・ページアドレスで識別されるロケーションでアクセスされ、そしてそのRAMはそのロケーションから、記憶されたページアドレスを比較器に出力する。この主メモリアドレスの最上位ビットは比較器に直接に送られてそれらがそのRAMにより出力されるアドレスの対応する最上位ビットと一致するかどうかを判定する。それらが一致すれば、

5

キャッシュヒットが得られそしてデータがライン・イン・ページ入力によりアクセスされたデータRAMのロケーションから出力される。一致しなければデータRAMへのアクセスは阻止される。

【0005】セット連想キャッシュでは複数のタグRAMが並列に用いられそして各入力アドレスの最下位ビットが並列のタグRAMと関連するデータRAMの夫々をアドレスづけするために用いられる。各タグRAMのアドレスされた列に保持されるページアドレスが出力され、比較器において直接マップキャッシュについて前述したプロセスと同様にその比較器に直接与えられた主メモリアドレスの最上位ビットと比較される。タグRAMの内の1個の出力が主メモリアドレスとこの最上位アドレスビットの比較において一致すれば、そのタグRAMに関連したデータRAMの対応するワードラインがアクセスされる。

【0006】それ故、完全連想キャッシュではそれがメモリロケーションに対応するデータを含むかどうかを決定するためにそのメモリロケーションアドレスのすべてのビットが初期入力として要求される。他のキャッシュの型式は初期入力としてメモリロケーションアドレスのビットの内のいくつかを要求するのみである。

【0007】

【発明が解決しようとする課題】多くの場合、仮想メモリアドレッシングを用いて一つのプロセスが仮想メモリロケーションを参照して命令を実行するようにすることが望ましい。仮想アドレスはライン・イン・ページアドレスまたはワード・イン・ページアドレス (word in page address) を伴う仮想ページアドレスとして定義される。一般に、ライン・インまたはワード・インアドレスは物理および仮想アドレスについて同一でありうるのであり、そしてアドレッシングの仮想部分は仮想ページアドレスにおいてのみ扱われる。ページアドレスは一つのアドレスの最上位ビットで扱われそしてラインまたはワード・イン・ページアドレスはそのアドレスの最下位ビットで示すことが出来る。仮想アドレスを用いてプロセスを実行するとき、仮想ページアドレスを主メモリ内の実際の物理的ロケーションに対応する物理ページアドレスに変換する必要がある。仮想アドレッシングをキャッシュメモリで使用する場合には、完全連想キャッシュは通常CAMにより検索されるべき全アドレスをCAMに入力する前に仮想ページアドレスを物理ページアドレスに変換しなければならない。仮想ページアドレスの物理ページアドレスへの変換は変換索引緩衝機構 (translation lookaside buffer (TLB)) により行うことが出来る。完全連想キャッシュにアドレスを入力する前に仮想ページアドレスから物理ページアドレスを形成するためにそのようなTLBの使用が必要なために、勿論、遅延の増加とキャッシュメモリを用いることの価値の低下が生じる。このため、仮想アドレッシングを用いるキャッシ

6

ュは一般に直接マップまたはセット連想型として形成されている。このようにしてタグRAMとデータRAMへの入力アドレスは物理アドレスへの変換を必要としないラインまたはワード・イン・ページアドレスを構成する。仮想ページアドレスを形成する仮想アドレスの最上位ビットはRAMへの初期入力には用いられず、RAMへのライン・イン・ページ入力によるRAMのアドレッシング動作と並列に物理ページアドレスを形成するためにTLBを介して供給されている。そのライン・イン・ページアドレスについてRAMの内の1個に有効入力があれば、対応する主メモリロケーションの物理アドレスを表わすページアドレスがそのRAMから比較器に出力され、そしてそのアドレスの最上位ビットがそのときアドレス変換動作によりきまる物理ページアドレスを表わすTLBの出力と比較される。RAMアクセス動作と仮想から物理ページアドレスへの変換は並列に行われるから、仮想メモリアドレッシングが完全連想キャッシュと共に用いられるならば必要となる形式の遅延の増加はない。

【0008】本発明の目的は対応する入力についてキャッシュを検索する前のアドレス変換の必要性による付加的な遅延を伴うことなく、仮想アドレッシングを可能にする改善されたキャッシュを提供することである。

【0009】

【課題を解決するための手段】本発明はデータRAMと、夫々が主メモリ内の物理ページを識別するためにアドレス変換を必要とする仮想ページアドレスを保持するための第1CAMセルアレイと、仮想および物理アドレスについて同じのままであるラインまたはワード・イン・ページアドレスを保持するための第2CAMセルアレイと、上記第1アレイ内の仮想ページアドレスに対応する上記主メモリ用の物理ページアドレスを保持するための物理アドレスメモリと、を含み、上記第1アレイは上記第1CAMセルアレイからのビット出力に応じて上記物理アドレスメモリをアクセスするために上記物理アドレスメモリに接続すると共に、上記第1および第2CAMセルアレイからのヒット出力に応じて上記データRAMをアクセスするために上記第1および第2アレイ間に接続した制御回路に接続するようになった、仮想アドレス用の完全連想キャッシュメモリを提供する。

【0010】本発明はまた主メモリ内の選ばれたロケーションに対応するデータを保持するためのデータRAMと、そのデータが上記データRAMに保持される上記選ばれたロケーションに対応する仮想アドレスの最上位および最下位ビットを夫々保持するための第1および第2連想記憶装置 (CAM) セルアレイと、各キャッシュアクセス動作において上記第1および第2アレイへの第1および第2入力として仮想アドレスのビットを入力するための入力回路と、上記第1および第2アレイの夫々が上記第1および第2入力のビットに夫々対応するアドレ

スのビットを保持するときキャッシュヒットを示すために上記第1および第2アレイの夫々から第1および第2出力を出すための出力回路と、上記第1および第2出力を相互に接続すると共に、上記第1および第2出力がキャッシュヒットを示すとき上記データRAMの一つの選択されたロケーションをアクセスするために上記データRAMに接続される第1制御回路と、上記第1アレイ内の仮想アドレスに対応する上記主メモリ内のロケーションの複数の物理アドレスを保持する物理アドレスメモリと、を含み、上記第1アレイが上記第1入力に対応するアドレスのビットを保持することを示すヒット信号を上記第1出力が含むとき上記第1出力が上記物理アドレスメモリの一つの選択されたロケーションをアクセスするために上記物理メモリが上記第1アレイの上記第1出力に第2制御回路により接続されるようになった、仮想アドレスリング用のキャッシュメモリ装置を提供する。

【0011】

【作用】好ましくは、夫々の仮想アドレスはページアドレスとライン・イン・ページアドレスを含み、第1アレイは複数の仮想ページアドレスをそして第2アレイが複数のライン・イン・ページアドレスを保持する。

【0012】好ましくは、上記物理アドレスメモリは夫々読取または書込可能な複数のアドレス可能記憶ロケーションを含み、第2制御回路は第1出力に応じて物理アドレスメモリ内の一つの選ばれた記憶ロケーションをアクセスするために構成されており、この第1出力はそこにヒット信号を発生した第1アレイ内の仮想アドレスに対応する物理アドレスメモリから物理アドレスを読取るための上記第1アレイからのヒット信号を含んでいる。

【0013】好ましくは、上記第1制御回路は第1および第2出力が第1および第2入力に夫々対応する第1および第2アドレスアレイ内のロケーションを示すヒット信号を含むとき、キャッシュヒットを示すためのゲート回路を含む。

【0014】好ましくは、上記第2制御回路は第1出力が第1入力に対応するアドレスの第1アレイ内のロケーションを示すヒット信号を含むときアドレス変換ヒット示すためのゲート回路を含む。

【0015】好ましくは、上記物理アドレスメモリは第1アレイによりアクセスされたときにはRAMとしてそして物理アドレス入力に応じてCAMとして動作可能なCAMを含む。

【0016】好ましくは、上記物理アドレスメモリは物理アドレスを受けるための入力と上記第1制御回路に接続した出力を有するCAMを含み、データRAMは第1および第2アレイまたは物理アドレスメモリの物理アドレスリングおよび第2アレイによりアクセスしうる。

【0017】好ましくは、第1および第2アレイ、データRAMおよび物理アドレスメモリの夫々は行となった記憶ロケーションを含み、データRAM内の各行は第1

および第2アレイと物理アドレスメモリの夫々における対応する行に関連づけられる。

【0018】好ましくは、CAMセルのアレイの内の1組の各記憶ロケーション行は仮想アドレスのビット用の記憶ロケーションに加えて対応する主メモリロケーションを保護する際に用いる少くとも1個の状態ビットを含む。

【0019】好ましくは、第1および第2アレイの一方または両方はドントケア (don't care) 入力を有する回路を含み、これはこの入力に接続したCAMセルをして、そのセルに記憶されたデータには無関係に夫々第1または第2入力と一致させるように動作可能である。

【0020】好ましくは、各CAMセルは各セル行についてのマッチラインと、各マッチラインをプリチャージするための回路と、各セル列についてその列のセルについての連想動作を開始させるための制御入力を有する制御回路とを有しており、各セルはこの制御回路に接続して、連想動作中にその列へのデータ入力に対応する記憶されたデータを有するその列内の任意のセルによりマッチラインを放電させるための放電回路を有する。

【0021】好ましくは、CAMセルの第1アレイ内の各セル列は上記のドントケア入力を有する制御回路に接続する。

【0022】本発明はまた、データRAM、仮想アドレスを保持するための第1CAMセルアレイ、物理アドレスを保持する第2CAMセルアレイおよび第1および第2CAMセルアレイとデータRAMを相互に接続して第1または第2CAMセルアレイに一致があるときデータRAM内のデータへのアクセスを許すための接続回路を含む完全連想キャッシュメモリを提供する。

【0023】好ましくは、物理および仮想アドレスは夫々ページアドレスとセパレート (separate) ラインまたはワード・イン・ページアドレスで与えられ、第1CAMアレイが複数の仮想ページアドレスを記憶し、第2CAMアレイが物理ページアドレスを記憶し、第3CAMアレイが第1および第2CAMアレイと相互接続して第1および第2CAMアレイ内の仮想および物理ページアドレスに共通のラインまたはワード・イン・ページアドレスを与える。

【0024】

【実施例】図1は連想メモリ (CAM) 11とデータRAM 12を含む完全連想キャッシュの従来の構成を示す。CAM 11は論理回路13の制御のもとで周知の読取、書込またはテスト動作を行うように周知のごとくに動作可能な行および列として配置された複数のCAMセル (これらは図8の形でもよい) を含んでいる。テスト動作は上記の関連動作である。CAM内の各セル行は主メモリ内の一つのメモリロケーションのアドレスを保持するように配置され、そして、各CAM行は夫々のマッチライン14 (1本のみを図示) によりバッファ15を

介してデータRAM 12内の対応するセル行の対応するワードライン16（1本のみを図示）に接続される。データRAM 12はカラムデコーダ17と読取／書込ロジック18の制御のもとで動作可能な従来のRAMセルの複数の行および列を含む。動作を述べると、メモリロケーションアドレスは制御ロジック13を介してCAM 11へのバス20に入力される。テスト動作においてはCAM 11はそのCAMの任意の行がバス20上に入力されるアドレスと一致するアドレスを保持しているかどうかをテストするために上記の関連動作を行う。これは完全連想キャッシュであるから、要求されたメモリロケーションの全アドレスがバス20で入力されそしてテスト回路は、そのCAM内の任意の行が20での全アドレス入力と一致するアドレスを保持しているかどうかをチェックする。CAMのいずれかの行に一致があれば対応するマッチライン14がバッファロジック15に信号を出す。バッファロジック15は、任意のマッチライン14がCAM 11内に一致のあることを示すように動作されれば、キャッシュヒットを示す出力22が生じるようにするための複数のORゲートから成る。RAM 12内のワードラインは、任意のライン14上に一致のあるときRAM 12内の固有に対応するワードラインがロジック18の制御によりバス26を介してRAMに対してのデータの入力または出力を許すようにアクセスされるように、CAM 11内の対応する位置の行に厳密に対応する。RAM 12の各行は各ラインに複数のワードを保持出来、そしてその結果、カラムデコーダ17はRAMのアクセスされたワードライン内に保持されるデータのライン内の選ばれたワードを選択するようにバス27上の信号により動作される。CAM 11に保持されるアドレスは主メモリ内のメモリロケーションに対応する物理アドレスでありその結果、入力がCAM 11へのバス20に供給される前に仮想アドレッシングシステムは仮想アドレスから物理アドレスへのアドレス変換を必要とする。

【0025】図2の構成では従来の直接マップキャッシュが仮想メモリアドレッシングを可能とするためのアドレス変換を伴って使用される。この場合、使用される仮想アドレスは仮想ページ番号とライン・イン・ページアドレスとを含む。ライン・イン・ページアドレスは変換を必要とせず、仮想アドレスおよび物理アドレスにおいて同一である。キャッシュ用の入力として用いられるべき仮想アドレスは2つに分割される。仮想ページアドレス（最上位ビットで示される）はライン30を介して周知の構成の変換索引緩衝機構（TLB）に送られる。その仮想アドレスがその機構内にあれば、TLBヒットが出力ライン32上に示される。変換索引緩衝機構31の機能は仮想ページ番号に対応する物理ページ番号に変換することであり、この物理ページ番号は比較器34へのバス33に出力される。このキャッシュはメモリロケーションの夫々の物理ページアドレスを保持するRAM 35

を含み、それらアドレスのデータはデータRAM 36内の対応するロケーションに保持される。ページアドレスを保持するRAM 35はタグ（Tag）RAMと呼ばれる。仮想アドレスの最下位ビットで表わされるライン・イン・ページアドレスはタグRAM 35とデータRAM 36へのライン39と40に並列に供給される。この場合、入力39と40はRAMアドレスを表わし、そしてタグRAM 35とデータRAM 36の対応するロケーションをアクセスするためにデコードされる。タグRAM 35内にアドレスされたロケーションにより、メモリロケーションの物理ページアドレスのバス42上の出力がタグRAMのアドレスロケーションに保持される。その物理アドレスに対応するデータはデータRAM 36からのバス43に出力される。バス43上のデータはバッファ44に保持されそしてイネーブルライン46上のANDゲート45の出力であるかあるいはその出力には依存しない。比較器34はライン42上の物理アドレスの最上位ビットとTLB 31からのライン33に供給される物理ページ番号と比較する。アドレスされたタグRAM 35のロケーションがTLB 31により決定された正確な物理ページ番号に対応することを比較器34が決定すれば、それがANDゲート45へのライン41に信号を出す。データRAMのアクセスがTLBヒットの生じるときのみとするために、ANDゲート45は、TLBヒットがライン32に生じそして比較器34がライン33と42上の対応を示すときにのみイネーブル信号がライン46に出るように、ライン32から第2入力を受ける。ライン46上のイネーブル信号により、バッファ44がバス48にデータを出力しそしてキャッシュヒットを示す信号がANDゲート45からライン49上に出る。キャッシュミス（Cache miss）は、タグRAM 35が正しいライン・イン・ページアドレスを保持するがタグRAM 35に保持されたロケーションのページ番号がTLB 31により決定された物理ページ番号と対応しない場合、あるいは、タグRAM 35が正しいライン・イン・ページアドレスについての有効入力を保持しない場合に生じる。

【0026】図3、4、5の例はすべて本発明による完全連想キャッシュに関係しており、検索されるべきアドレスがキャッシュに入力される前のアドレス変換を行うについての遅延を生じない、仮想ページから物理ページへのアドレス変換を可能にするものである。これらのすべてはまたキャッシュヒットについての検索およびアドレス変換の実行において、仮想ページCAMについての二つの機能を与える。

【0027】図3の例ではキャッシュは図1で述べたRAM 12と同様の構成をもつ同様に動作するデータRAM 50から成る。図1のCAM 11は2個のCAMと置き代えられており、一方のCAM 51は仮想ページ番号を、他方のCAM 52はライン・イン・ページ番号を保

1 1

持する。ライン・イン・ページはワード・イン・ページをもカバーする。或る場合には各全ラインの内容は単一のワードと考えることが出来、あるいは1ラインの部分のみをアクセスする必要がある場合にはカラムデコード回路が図1の回路17と入力27について述べたように使用されう。更に物理ページRAM53が設けられる。物理ページRAM53の構成はデータRAM50と同様であって、適正なワードラインの附勢により読取または書込動作を行う従来のRAMセルの複数の列および行からなる。使用される仮想アドレスは図2について述べたように仮想ページ番号30とライン・イン・ページ番号39からなる。仮想ページ番号30は仮想ページCAM51へ入力され、ライン・イン・ページ番号39はライン・イン・ページCAM52へ入力される。仮想ページ番号30とライン・イン・ページ番号39が所望のメモリロケーションについての仮想アドレッシングに用いられる全アドレスインジケーションを形成する。入力30と39は夫々のCAMに同時に送られる。これらCAMはその内のCAM52に保持されたライン・イン・ページ番号の任意の数が入力39と一致するかどうか、そしてCAM51に保持される任意の仮想ページ番号が仮想ページ入力30と対応するかどうかを決定するための関連についてのテストを実行する。CAM51と52内の任意のセル行に一致があればそのCAMのマッチラインに適正なマッチ出力が出される。CAM51と52の夫々には、夫々CAM52内のライン・イン・ページ番号とCAM51内の仮想ページ番号を保持するセル行内の一つに対応する複数の可能マッチライン (possible match line) がある。図3では便宜上CAM52について1本のマッチライン54が、CAM51については1本のマッチライン55が示されている。CAM51の可能マッチライン55の夫々は図1のバッファ15と同様のバッファの部分形成する対応するANDゲート57に夫々のライン56により接続される。同様にCAM52の各マッチライン54は夫々のANDゲート57に接続される。各ANDゲート57の出力はデータRAM50内の対応するワードライン58に接続する。1個のANDゲート57のみを示しているが、複数のANDゲート57があり、その夫々がCAM51と52の夫々における各CAMセル列に対応しそしてそれらゲートの夫々の出力はORゲート59を介して接続されてライン・イン・ページ番号および仮想ページ番号がCAM51と52の一致する行に位置せられたときにキャッシュヒット出力52を与えるようになっている。それ故、データRAM50内のデータは、仮想ページ番号とライン・イン・ページ番号の両方が同一のANDゲート57に接続するCAM51と52の対応するラインにあるときにバス26上のデータを入力または出力するように適正なワードライン58を附勢することによりアクセス出来る。夫々のANDゲート57を介して接続されるマッチライ

1 2

ンを有する2個のCAM51と52を使用することによる効果は図1について述べた1個のCAM11の使用により得られるとは、同様の動作を生じさせる。すなわち、これは全仮想アドレスの二つの部分についての関連またはテスト動作を並列に行う完全連想キャッシュとして動作する。しかしながら仮想ページ番号を表わす仮想アドレスのその部分は物理ページRAM53内の対応するワードライン60のアクセスのために一致のあったマッチライン55から別の出力を与える。CAM51からの可能マッチラインの夫々は仮想ページCAM51にヒットがあったときを示すためにバッファ回路61を介してRAM53のワードライン60にそして共通のORゲート62を介して接続する。物理ページRAM53内の各セル行は仮想ページCAM51内の仮想ページ番号に対応するメモリロケーションの物理ページ番号を含む。物理ページRAM53内のデータは仮想ページCAM51の対応する行と整合して、列毎に配置される。このように、仮想ページCAM51内の任意のライン55に一致があれば、対応するワードライン60がRAM53内で作動されてライン33上の出力として物理ページ番号を与える。これは図2について述べた回路におけるTLBヒットと等価であって、アドレス変換が成功していることを示す。

【0028】図3のシステムの動作はキャッシュアクセス動作の三つの結果をもたらす。(1) 仮想ページCAM51とライン・イン・ページCAM52の同一のラインに一致が得られたことを示す、ライン22上の出力によりキャッシュヒットを示すことが出来る。この場合、ライン26上のデータについてのアクセスはデータRAM50内の対応するワードライン58について与えられ、そしてキャッシュアクセスの結果が物理ページRAM53により同時に行われるアドレス変換についての時間的なペナルティを伴わずに得られる。(2) アクセス動作は仮想ページ51とライン・イン・ページCAM52の両方における同一ラインに一致出力がないことによりキャッシュミスを生じる。仮想ページCAM51に一致があれば、物理ページ番号が物理ページRAMにありそして出力33を介して得られることを示すTLBヒットを示す出力を、バッファ回路61とORゲート62を介して出す。この場合、物理アドレスは1動作サイクルの終りに得られそして必要なデータを得るために主メモリをアドレスするために用いることが出来る。(3) 第三の場合には、ライン22上の出力は仮想ページCAM51に一致のない、キャッシュミスを示す。これはORゲート62を介してTLBミスは出力する。この場合には仮想アドレスはソフトウェアでつくってもよい周知の形式のバックアップ変換機構(図示せず)で扱われる。これはキャッシュハードウェアを使用する場合より低速であるが正しい主メモリアドレスのアクセスを可能にする。

13

【0029】また、キャッシュヒットとTLBヒットの両方を決定するという1つの仮想ページCAM51の二機能は両機能の同時実行における動作速度を改善しそして別々のCMAをそれら二つの機能のために用いるときに生じるような付加的な回路の必要性を回避する。

【0030】図4は図3に示す構成の変更例である。この場合、同様の要素には図3と同じ参照番号を付してある。データRAM50、ライン・イン・ページCAM52および仮想ページCAM51は図3と同じである。しかしながら、物理ページRAM53は物理ページCAM65で置き換えられている。物理ページCAM内の各セル行はそのセル行への読取および書込アクセスを可能にする1本のワードライン60並びにそのセル行の内容とCAM65への入力との間の一致を示すように動作可能なマッチライン66を有する。仮想ページCAM51のマッチライン55は夫々のライン56に沿って、夫々の切換えスイッチ67を介して夫々のANDゲート57に接続する。スイッチ67はスイッチバンク内の一つのスイッチであって夫々のマッチライン55について1個となっており、そしてすべてのスイッチ67が共通の制御のもとでそれらの共通のセッティングを決定するように作動される。このシステムが仮想アドレッシングに用いられるときには、各スイッチ67は仮想ページCAM51からの出力ライン56を夫々のANDゲート57に接続するようにセットされる。そしてこのシステムは図3と全く同じに動作する。キャッシュヒットによりCAM51と52内のマッチライン55と54により識別されるロケーションでRAM50から出力またはそこに入力される。これと同時に、物理ページCAM内のワードライン60は、仮想ページCAM51で一致が生じた仮想アドレスに対応する物理アドレスの33における出力を可能にする。しかしながら、この例は仮想アドレッシングではなく、物理アドレッシングにも使用出来る。この場合、ライン33は双方向性であり、物理ページ番号は33において物理ページCAM65に入力され、ライン・イン・ページアドレスは39においてライン・イン・ページCAM52に入力される。すべてのスイッチ67はこのときCAM65の可能マッチラインと夫々のANDゲート57とを相互に接続しそしてライン56を切離すようにセットされる。物理アドレスがCAM65内にあれば、適正なマッチライン66に一致が生じ、そしてこれがライン68上の出力をスイッチ67を介してANDゲート57に与える。ライン・イン・ページCAM52内の整合したマッチライン54にも一致が生じたとすれば、これはそのANDゲート57に送られてそれによりデータRAM50内の対応するラインのワードライン58が活性化される。

【0031】図4の構成による仮想アドレッシングに加えての物理アドレッシングのこの能力はキャッシュの一致(consistency)を達成することについて特に適用可能

14

である。これは主メモリ内の同一の物理アドレスを参照する場合、キャッシュ内の2以上の仮想アドレスを回避するために使用出来る。仮想アドレッシング法は1つの物理的メモリロケーションが2以上の仮想ロケーションに割振られるときに使用出来る。これらの例ではキャッシュは任意の時点で2以上の仮想ロケーションを含まない。仮想アドレスを用いてのキャッシュアドレス動作によりキャッシュミスが生じた場合には物理アドレスは物理ページCAM65からのTLBヒットまたはバックアップ変換機構の使用により得られる。いずれの場合でも、物理アドレスは得られそして、それは入力33を介して物理ページCAM65に入力する。物理ページCAM65内の一致はその場合、物理アドレスが、ライン・イン・ページCAM52内に対応する一致があったとすればキャッシュ内に保持されることを示す。仮想ページCAM51での入力はデータアクセスに用いられる仮想アドレスを反映するように変更する。仮想ページCAM51とライン・イン・ページCAM52の夫々はそれらへのデータ書込を可能にするために各セル行について複数のワードラインを有する。図1の15のようなバッファ回路を用いて、図4のゲート57の出力を仮想ページCAM51内の対応するワードラインに接続し、物理アドレッシング後の仮想ページアドレスの再書込みを可能にする。物理アドレッシングの使用はバススヌーピング(bus snooping)を達成するにおいて有用である。共用メモリまたは直接メモリアクセスシステムを用いる場合にはメモリ内の一つの特定の物理アドレスにおいてデータが変更されるべきかどうかを決定するためにメモリアドレッシングバスで使用される物理アドレスをモニタすることが望ましい。このモニタを行わない場合には、主メモリ内の物理ロケーションの内容がキャッシュの対応する内容を更新せずに変更されることがある。バス上のアドレスが物理CAM65に与えられるとすれば、主メモリ内のその物理アドレスに対応するキャッシュ入力があるかどうかを決定することが出来る。そうであれば主メモリ内の物理アドレスの内容がそのアドレスに対応するキャッシュの内容を更新せずに変更されないようにする回路を与える。

【0032】図5の実施例は図4に示すものの変更例であり、同じ要素には同じ番号が付してある。この例ではデータRAM50とライン・イン・ページCAM52は図3および4に示すものと同じである。同様に、キャッシュヒットを示すために共通のORゲート59を介して接続されるANDゲート57の列も前述したものである。しかしながらこの場合には、物理ページCAM65と仮想ページCAM51は1個のCAM70と置き換えられている。CAM70は共通のCAMセル行を有し、各列が図5に51と65で示すように右側で仮想ページCAM、左側で物理ページCAMの二つの機能をカバーする。夫々のCAMセル行はそれらへの読取および書込

15

アクセスを可能にするワードライン並びに、その列の内容がCAMの連想動作モードにおける入力に対応するとき適当な出力を出すためのマッチラインを有する。図5において、代表的なマッチライン71で示し、代表的なワードラインを72で示す。このシステムは図4について述べたように物理アドレッシングまたは仮想アドレッシングを用いることが出来る。しかしながらこの場合にはCAM51の右半分は仮想ページ入力30に加えてドントケア入力73を有する。CAM65の左半分はドントケア入力74と物理入力75および出力76を有する。CAM70の部分への2個のドントケア入力73と74は入力74に直接にそして入力73にはインバータ78を介して接続する仮想アクセス入力77により制御される。このシステムが仮想アドレッシングで動作する場合、仮想アクセス入力は入力77に与えられてドントケア入力を73ではなく74に加えるようにする。これらドントケア入力の機能は図10、11、12について詳述する。しかしながら、ドントケア入力を有する効果により、ドントケア入力が増えられるコラム内のCAMセルはそのセルの内容には無関係にマッチ信号を与える。これは、仮想アクセス入力77が増えられるとき物理ページCAM65内のすべてのセル列が入力74からドントケア入力を受けてCAM70の左手のすべてのセルが夫々のマッチラインに一致を示すようになることを意味する。しかしながら、73にはドントケア入力は加えられないから、入力30を介して入る仮想ページ番号はCAM70の右側のCAMセルの内容との関連についてテストされる。それらセルの内容と30での入力との間の一致のある任意のマッチラインにおいて、入力74でのドントケア入力によりCAM70の左側に一致がすでに示されている。これにより一本のライン56に一致出力が生じ、これがANDゲート57に加えられる。ライン・イン・ページCAM52内の対応するマッチライン54がライン・イン・ページ番号入力39についての一致を与えているとすれば、データRAM50はライン・イン・ページCAM52と複合CAM70のマッチラインに対応するワードライン58でアクセスされる。このシステムが物理アドレッシングに用いられる場合には仮想アクセス入力77は物理アクセスを示すように変えられる。これにより、入力74のドントケア入力が増えられ、仮想ページCAM51を形成するCAM70の右側部分内のCAMセル列内の夫々のセルに73を介してドントケア入力が増えられる。これは、複合CAM70内のマッチラインの夫々の右側部分が一致信号を与えそして、75の入力がある物理アドレスがCAM70の左側部分内のCAMセル列の内の一つにあるとすればそのマッチライン71に一致が得られることを意味する。ライン・イン・ページCAM52内の整合したラインに一致があれば、第2の一致出力が適正なANDゲート57に加えられてデータRAM50の対応するワードライン58の

16

アクセスを行わせる。ライン・イン・ページCAMは一致信号を出さないが、複合CAM70に一致がある場合には、複合CAM70内のマッチライン71に与えられる信号がバッファ回路61を介して送られて一致の生じたCAMセル行のワードライン72へのアクセスを可能にしそしてTLBヒットが共通ORゲート62を介して与えられる。仮想アドレッシング中、これは仮想ページアドレスと出力ライン76で読取られる仮想ページアドレスとの間のアドレス変換を可能にする。

【0033】 場合によってはライン・イン・ページCAM52、仮想ページCAM51および物理ページCAM65の夫々について前述のラインおよびページデータ以外の付加データを含めることが望ましい。そのような構成を図6に示しており、これは図4または5のCAMの内容に加えられ。図6の例では夫々のCAMはデータ有効フラグを含めるための付加CAMセル列を含む。この付加列はライン・イン・ページCAM52については80、仮想ページCAM51については81、そして物理ページCAM65については82で示してある。これはCAM内の各CAMセル行の左側の付加CAMセルからなり、これはそのCAMロケーション内のデータが有効かどうかを示す一つの値にセットされる。ライン・イン・ページCAM52の場合には、残りのCAMセルは83で示すようにライン・イン・ページ番号を示すデータを含む。仮想ページCAM51では仮想ページ番号を保持するセルは84で示す行および列アレイで示されている。更に、1つ以上のセル列をプロセス識別子85として設けて、仮想ページ番号を示す各セル行にその仮想ページ番号を用いるプロセスを示す列85の左端の1以上のセルが付加されるようにする。CAM51はまた後述する保護の目的に用いられるCAMセル列86を含む。CAM65では物理ページ番号を保持するセルアレイを87で示し、付加CAMセル列88は各行により識別されるページが事実上キャッシュ可能(cacheable)ページであるかどうかを示すために用いられる。列80、81、82の夫々における有効セルはそれが常にその列上にミスマッチを生じさせるとき有効状態フラグが無効値にセットされないかぎりそのセルを含むライン上の一致が通常得られる(その列内の残りのセルに一致が得られる場合)ように、一つの値にセットしうる。或る場合には物理的主メモリの或る領域がキャッシュ内で用いられるべきでなくそれ故キャッシュ不能(noncacheable)領域を形成するようにすることが望ましい。これはメモリマップI/O装置を扱う上で有利である。メモリのこれら領域が仮想アドレスを用いるプロセスによりアクセスされるべきであれば、仮想ページについてのアドレス変換を行うことが必要でありそしてそれらページへのアクセスはそれらキャッシュ不能ページについてのTLBヒット入力が増えなければかなり長いものとなる。一つのページがキャッシュ可能であるべきでない場

17

合、列88はそのメモリロケーションの物理アドレスを含む行内のキャッシュ不能状態を示す一つのセルを有することになる。キャッシュ不能ページの仮想アドレスの第1回目のアクセスが行われるとき、TLBミスがキャッシュ内にそのページがないために生じる。関連したアドレス変換はページテーブルから得られそしてキャッシュラインはこのメモリロケーションに割当てられる。しかしながら、キャッシュのロケーションアドレスに入る際に、ライン・イン・ページCAMにはそのメモリロケーションについての列80は無効状態とされる。そのアドレスを用いたそのキャッシュへの以降のアクセス動作はその入力についてのライン・イン・ページ番号に関連した無効状態により常にキャッシュミスを与える。しかしながら、仮想ページCAM51は依然としてTLBヒットを与えることが出来、それにより物理ページCAM65のアクセスを行い物理ページ番号を与えることが出来る。キャッシュ内のそのようなメモリロケーションに入る際に、列88内のキャッシュ可能状態はそのメモリロケーションがキャッシュ不能ロケーションであることを示すようにも変更されうるのであり、それによりこの情報が主メモリシステムに入りうるようにする。このように、TLBミスに続いてキャッシュが更新されそしてそのメモリロケーションがキャッシュに入れられると、列88と80はその入力にキャッシュ可能入力かどうかを示すように調整出来る。

【0034】図6に示す保護列86はメモリ保護機能を与えるために使用できる。例えば、TLB内の各ページは、そのページの内容が読取、書込または実行動作に使用可能であることのインジケーションを有しあるいはそれら動作がそのページの内容について行われるところに制限を置くことが出来る。或るページに書込みが行われないようにすることも望ましい。保護列86内の各セルは通常そのセルを含むラインに一致が生じないようにする値にセットされる。しかしながらこの場合には、列86内のセルの内容を捨てる必要のあるときにその列86の内容に無関係に適正なラインから一致が得られるようにドントケア入力の動作を与える必要がある。例えば或るページへの書込を防止するために列86は仮想ページCAM51内の適正なラインの書込状態ビットの値を1にすることが出来る。この値に書込まれるページについてはコラム86は0にセットされる。図5において仮想ページCAMへの入力30が書込データ要求を示す場合、列86の内容が考慮され、そして列86内の、値1を有する行は、それらページへの書込が防止されるように、一致を与えることが出来ない。しかしながら、ライン30の入力が読取りの生じるように書込入力ではない場合には、列86内のセルの内容を捨てつつ一致ラインを見い出すための関連動作が行われるように列86内のCAMセルにドントケアテスト条件が入れられる。このように、書込保護されるロケーションでの書込動作がキ

18

ャッシュミスおよびTLBミスを生じさせる。メモリアクセス動作はバックアップ変換機構で行われる。読取動作を行うときには仮想ページCAM内に保持されるすべてのロケーションは可能キャッシュヒットおよびTLBヒットでアクセス出来る。

【0035】選ばれた列内のCAMセルをドントケア状態にするためのテスト条件の使用はメモリ保護以外の目的に用いられる。CAM内容の部分のみの検索を要求する種々の機能はドントケア状態を使用しうる。例えば、一つの特定のプロセスを参照するすべてのキャッシュ入力は、列81、86、84内のすべてのCAMセルがドントケア状態とされて列85内のプロセス識別子が仮想ページCAMへのプロセス識別子入力と一致すれば一致するようにすることにより、列85内のプロセス識別子について仮想ページCAM51を検索することにより識別出来る。特定のプロセスに関係するすべての入力を識別する方法は関連する入力を見い出しそして仮想ページCAM51の列81内のそれらの有効ビットを消去することによりキャッシュからの一つのプロセスの削除に有効である。

【0036】図4、5に用いられるCAMはすべてCAMセルを含み、それにはセルをドントケア状態にして関連動作に使用するためのそれらセル内のいくつかのみの選択により異った機能を達成しうるようにするようするテスト回路が付随する。図4および5の実施例は1個のCAMで構成出来、各行の一部分が物理ページを、一部分が仮想ページをそして一部分がライン・イン・ページ番号を表わす。キャッシュヒットを知るには各行の物理ページを表わすセルをドントケア状態にしてその列の他の2つの部分について検索を行いうるにしなければならない。キャッシュヒットではなくTLBヒットを知るには物理ページを表わすセルとライン・イン・ページ番号を表すセルがドントケア状態とされて関連動作について仮想ページのみを選択しなければならない。

【0037】CAMセルの構成およびそれらCAMセルの読取、書込および関連動作に必要な制御ロジックを図7、8、9について説明する。

【0038】図7の構成は図3、4の実施例でも使用しうる。行、列、とされたCAMセル90のアレイの一部である。この形式のCAMアレイはメモリアドレスの一部の“タグ記憶 (store tag)” と呼ばれる部分をCAMに記憶しそして“タグ検索 (retrieve tag)” と呼ばれる。夫々のセルの内容を読取る能力、あるいはCAMセルの内容がCAMに入力されるアドレスデータに対応するアドレスまたはタグの部分を含むかどうかをみるためにテストする連想動作の能力を有する。図7に示すように各CAMセル90の行は共通ワードライン91とマッチライン92で接続される。各マッチライン92は制御トランジスタ93によりプリチャージラインに接続して連想動作が行われるときにマッチラインをプリチャ

ジする。CAMセル90の各列はアドレスタグの入力または出力用の双方向入力および出力96を有する読取／書込ロジック95に接続する。各ロジック回路95は夫々ビット (Bit) およびビットバー (Bitbar) を表わす2本のライン97と98によりその列内のCAMセル90の夫々に接続される。読取／書込ロジック回路95の夫々は共通タグ検索制御ライン100並びに共通タグ記憶制御ライン101および共通連想ライン102に接続する。この構成の動作を図8、9により詳述する。図8は各CAMセル90の構成を示す。このセルは、並列に接続されるとともにノード106と107の間に逆方向に接続される2個のインバータ104と105により形成されるラッチ103からなる。ノード106は、ワードライン91に接続するゲートを有するパストランジスタ108を介してビットバーライン98に接続する。同様にノード107はワードライン91に接続するゲートを有するパストランジスタ109によりビットライン97に接続する。ラッチ103は、ワードライン91がチャージされるときパストランジスタ108と109によりライン97と98の信号によりきまる二つの安定状態の内の一方となってノード106が高でノード107が低あるいはノード107が高でノード106が低となるように、従来のRAMセルのように動作する。このセルが連想動作を行いうるようにするために、マッチライン92はプリチャージされそして各セル90がマッチラインを接地点110に選択的に放電する。各セルはマッチライン92を接地点110に2組の直列トランジスタを接続する。図8に示すように、2個のトランジスタ111と112はそのような接地点への一方の接続を形成し、他の2個のトランジスタ113と114がマッチライン92と接地点110の間の第2の直列路を形成する。トランジスタ111のゲートはノード106に接続してノード106が高るときオンとなる。トランジスタ112のゲートはビットバーライン98に接続して、ライン98の信号が高るときオンとなる。同様にトランジスタ113のゲートはノード107に接続してノード107が高るときオンとなる。トランジスタ114のゲートはビットライン97に接続し、その信号が高るときオンとなる。マッチライン92はこのように、連想動作中のライン97と98の信号がセル90内にすでに記憶されたものに対応する値を有するときに放電される。セル90を動作させる制御回路95を図9に示す。図7と同様の図9内の信号ラインは同じ参照番号で示してある。この制御回路は入力101と102を有するORゲート115を含む。排他ORゲート116はライン102と入力96から入力を受ける。信号ライン100で制御されるセンス増幅器117の入力はビットライン97とビットバーライン98に接続する。ゲート116の出力はパストランジスタ118を介してビットライン97に与えられる。ゲート116の出力はまたインバータ119

とパストランジスタ120によりビットバーライン98にも与えられる。トランジスタ118と120はそれらのゲートをORゲート115の出力に接続することにより制御される。タグ記憶動作中、連想入力102はタグ検索入力100と同じく値0を受ける。このタグ記憶入力は値1でありそれ故、ORゲート115によりトランジスタ118と120をオンにする。記憶されるべきタグは96に入力し、そして選択可能なインバータとして作用する排他ORゲート116へ的一方の入力となる。連想入力102は値0を有するが、ゲート116はその入力を反転せずに96から伝送する。連想入力102の値が1となると、ゲート116は96の入力信号を反転して出力する。その結果、タグ記憶動作中ビットライン97は96で入力される信号を有しそして、インバータ119によりビットバーライン98は96の入力の反転したものを有する。適正なワードライン91の充電により、ライン97と98の値は適正なセル90に記憶され、ノード106と107はビットおよびビットバーライン97と98上のそれと対応する値となる。タグ検索動作中にはORゲート115の両入力は0であり、トランジスタ118と120がオフになる。要求されたワードライン91の充分により、ノード107と106に記憶された値はビットライン97とビットバーライン98により増幅器117に送られ、それによりセルに記憶された値を表わす出力を96を介して出す。連想動作中、ORゲート115は入力102の値が1で入力101の値が0であるからオンとなる。これにより、トランジスタ118と120がオンになる。排他ORゲート116への入力102はこのとき1となり、96の入力をゲート116で反転させる。これにより、ビットライン97の信号は96の入力の反転したものとなり、ビットバーライン98のそれは96の入力となる。これはマッチライン92がプリチャージされるセルに加えられる。そのセルがノード107が高で106が低となることで表わされる値1を記憶していれば、連想動作中の入力1によりビットバー98が高、ビット97が低となる。ノード107の高値はトランジスタ113をオンにするが、ビットライン97の低値によりトランジスタ114はオフとなりそのトランジスタを介してのマッチライン92の放電は防止される。同様に、ノード106がトランジスタ112はビットバーライン98の高値でオンとなるが、低値となるとトランジスタ111がオフとなり、トランジスタ111と112を介してのマッチライン92の放電は防止される。その結果、マッチライン92は放電されない。他方96の入力が連想動作中0であれば、ライン97と98の値は逆となり、ライン97の値が高でライン98の値が低となる。この場合、マッチライン92はトランジスタ113がノード107の記憶された高値とライン97の高値とによりオンとなるとき放電されてトランジスタ114をオンにし、マッチライン92

21

と接地点110の間の放電路を与える。それ故、連想動作中、セル90は入力96の入力がセルの記憶した情報と対応しない場合にのみマッチライン92を放電させる。対応すればマッチラインは充電されたままである。【0039】図10、11、12の構成は、CAMセル90の夫々にドントケア状態を入力するのであるが、一般に図7、8、9と同様である。この例では読取/書込ロジック回路95の夫々はビットライン97およびビットバーライン98に加えてテスト(Test)ライン121とテストバー(Testbar)ライン122によりCAMセル90の列に接続する。夫々のロジック回路95はまたドントケア入力123を有する。図11に示すように、各セル90はラッチ回路103を有しこれは図8について述べたと同じ要素を有しそしてセルからのタグの記憶またはタグの読取動作は前述と同じであり、適正なワードライン92が附勢されると適正な信号がビットライン97およびビットバーライン98に入出力する。しかしながら、連動動作はこの場合トランジスタ112と114のゲートに接続したテストライン121とテストバーライン122を用いて行われる。ビットおよびビットバーライン97と98のおよびテストおよびテストバーライン121と122の信号の制御は図12の回路で制御される。タグ記憶およびタグ検索動作は図9で述べたようにビットライン97とビットバーライン98上の信号により制御される。この場合トランジスタ118と120は図9に示すORゲート115を必要とせずにタグ記憶入力101により直接に制御される。増幅117によるライン96a上のデータの出力は前述した通りである。ライン96b上のデータの出力は前述のようにインバータ119を介してビットライン97とビットバーライン98に送られる。一つのCAMセル90列が他のCAMセル列での連想動作中不動作となる必要がある場合には、それ列内のセルがそのコラム内のセルの内容に対するライン96b上の入力には無関係にマッチラインの放電を生じさせないようにドントケア入力123に信号を与える必要がある。図12に示すように、ドントケア入力123はインバータ124を介して入るものであり、このインバータは2個のANDゲート125と126の夫々に出力を与えている。第2のANDゲート125の第2入力タグ記憶入力96bから入る。ANDゲート126の第2入力インバータ127を通した後のタグ記憶入力96bである。セル列をドントケア状態にしなければならないときには1が入力123に与えられる。この入力1はインバータ124により0としてANDゲート125と126に入る。これにより、テストライン121とテストバーライン122の値は共に0となる。これらライン121と122はトランジスタ112と114の動作を制御するから、それらトランジスタはオフとなり、マッチライン92の放電を防止する。これにより、その列内のセルはそれらの内容には無関係にマ

22

ッチラインの放電を生じさせない。このセル列がドントケア入力123の入力を0として動作するとき、ANDゲート125と126への入力はインバータ124により1となる。テストライン121とテストバーライン122に出力されるこれらの値はライン96b上のデータ記憶の入力値によりきまる。入力96bが0であればテストライン121の値は0となりテストバーライン122は1となる。ライン121と122の信号値はライン96bの入力が逆転すれば逆となる。このように、マッチライン92は連想動作前にプリチャージされると、CAMセル内に記憶された値が96bに入力されライン121と122に供給されるものと一致しなければトランジスタ111と112または113と114を介して接地点110に放電される。マッチライン92の放電に関してのトランジスタ111、112、113、114の動作はライン97と98の信号について前述したと同じにライン121と122の信号に応じたものとなる。本発明はこれまで述べた例に限定されるものではない。

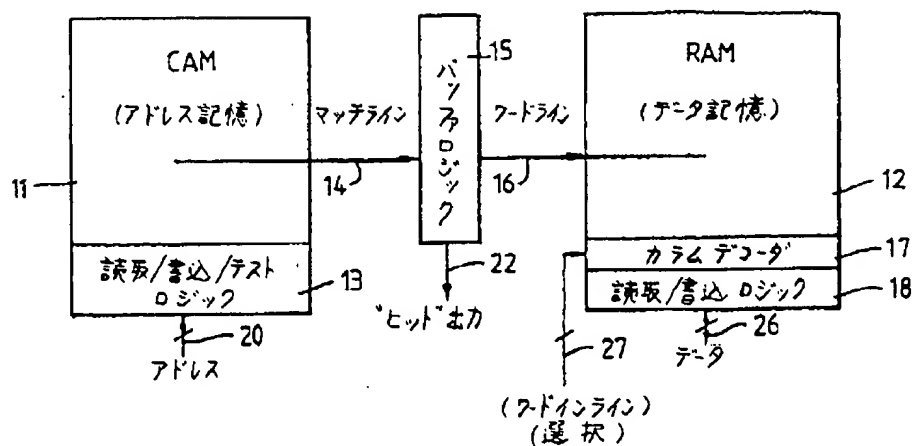
【図面の簡単な説明】

- 【図1】従来の完全連想キャッシュのブロック図である。
 - 【図2】従来の仮想アドレッシングを用いる直接マップキャッシュのブロック図である。
 - 【図3】本発明の一実施例による、仮想アドレッシングを用いる完全連想キャッシュのブロック図である。
 - 【図4】完全連想キャッシュを有する、仮想アドレッシングを用いる本発明の他の実施例のブロック図である。
 - 【図5】完全連想キャッシュを有する、仮想アドレッシングを用いる本発明の他の実施例のブロック図である。
 - 【図6】図4に示す実施の一部の詳細図である。
 - 【図7】図3、4または5に示す実施例で用いるCAMセルアレイの一部とCAM制御ロジックを示す図である。
 - 【図8】図7に示すCAMセルの詳細図である。
 - 【図9】図7に示すCAMアレイで用いられる制御ロジックの詳細図である。
 - 【図10】ドントケア入力の使用を含む図3、4または5に示す実施例で使用しうる図7に示すアレイの他の例を示す図である。
 - 【図11】図10で使用する単一CAMセルの詳細図である。
 - 【図12】図10のCAMセルについて使用される制御ロジックの詳細図である。
- 【符号の説明】
- 11 連想メモリ
 - 12 データRAM
 - 13 制御ロジック回路
 - 14, 55 マッチライン
 - 15 バッファロジック
 - 16 ワードライン

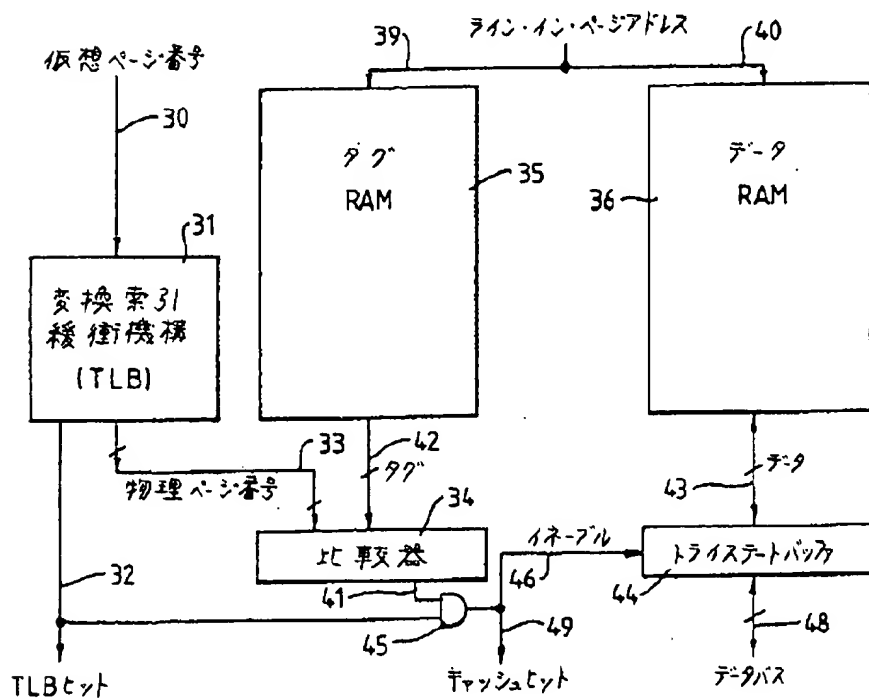
23
17 列デコーダ
18 読取/書込ロジック
34 比較器
35 タグRAM
36, 50 データRAM
44 バッファ
45 ANDゲート

24
50 データRAM
51 仮想ページCAM
52 ライン・イン・ページCAM
53 物理ページRAM
54, 55, 56 マッチライン
60 ワードライン

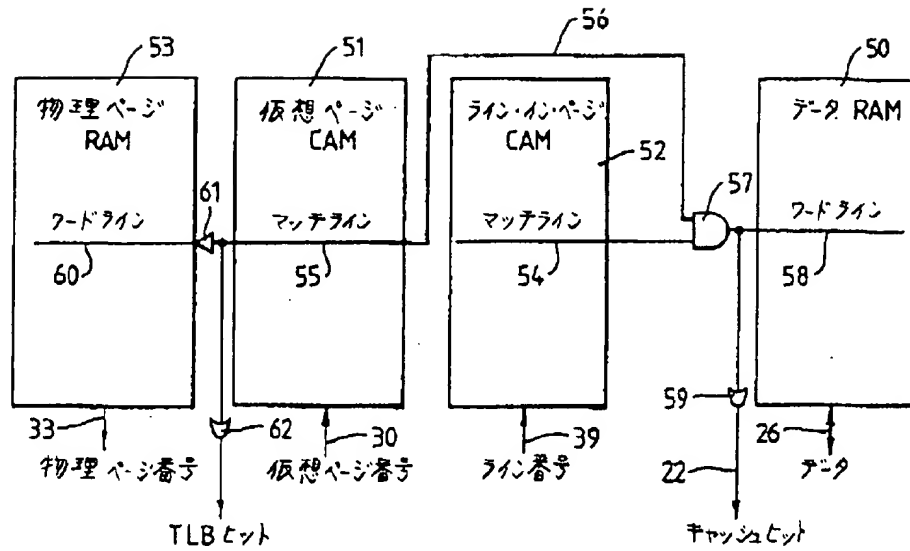
【図1】



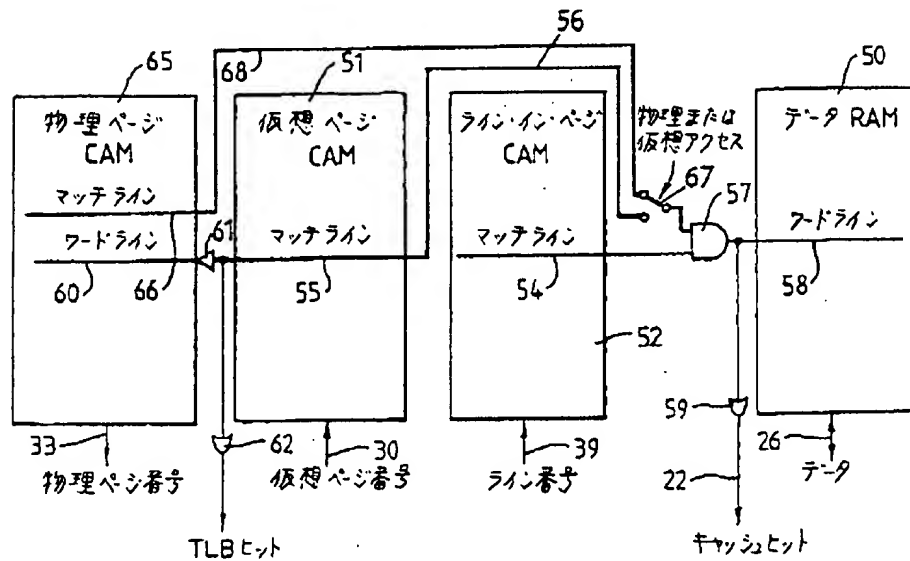
【図2】



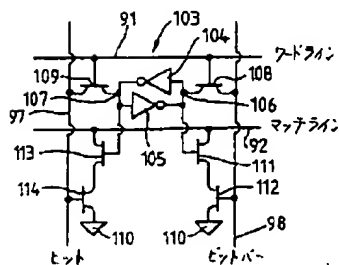
【図3】



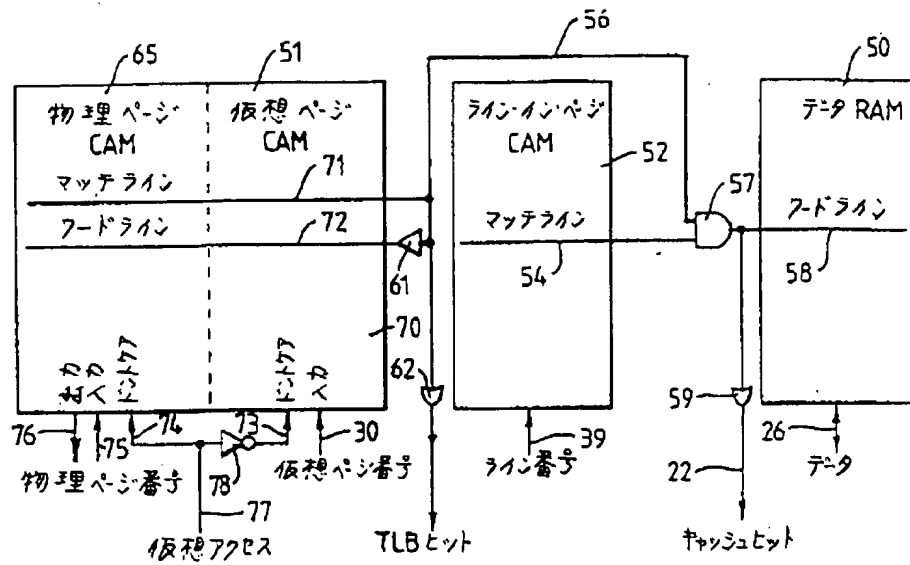
【図4】



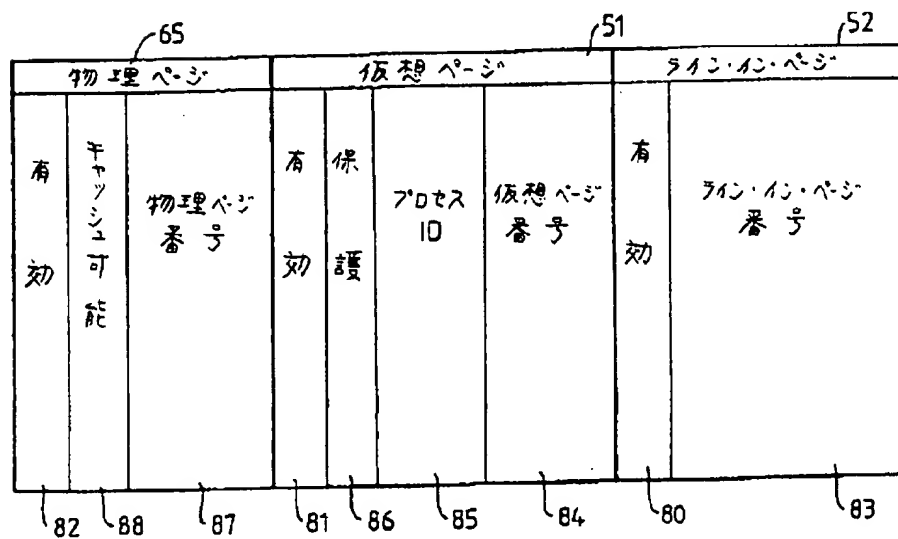
【図8】



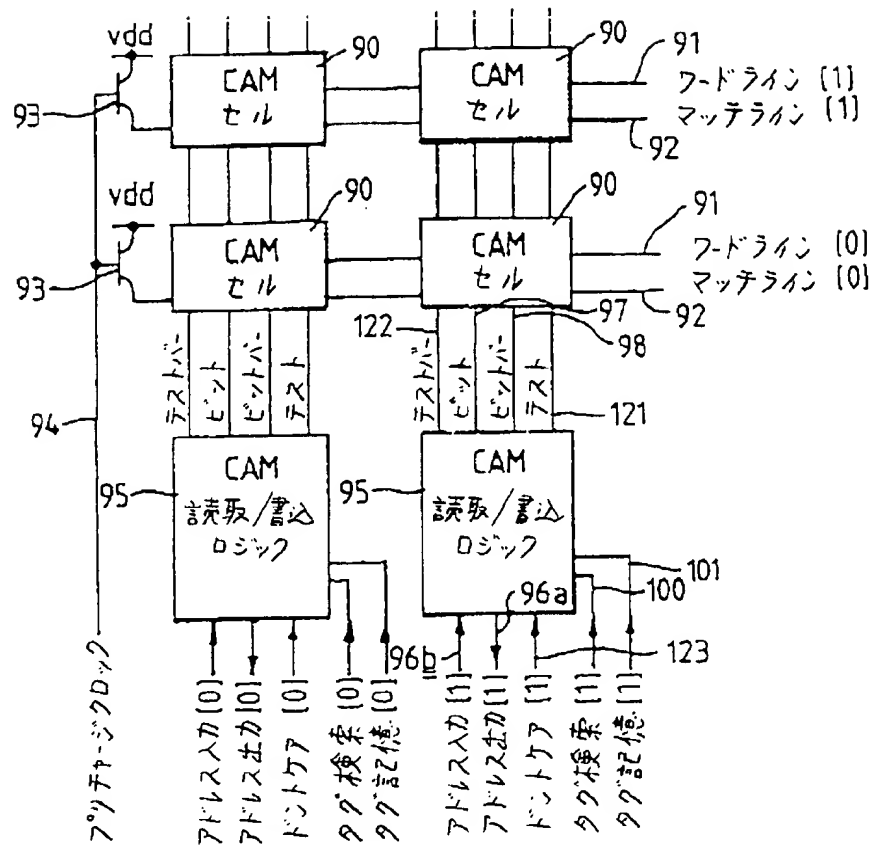
【図5】



【図6】



【図10】



フロントページの続き

(72)発明者 リチャード、ジョン、ガマック
イギリス国ブリストル、セント、ジェーム
ズ、グロスター、ストリート、22、フラッ
ト、4

(72)発明者 ロジャー、マーク、シェファード
イギリス国ブリストル、クリフトン、ボー
フォート、ロード、19、ホール、フロア
ー、フラット